

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

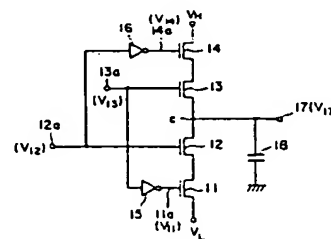
THIS PAGE BLANK (USPTO)

(54) CLOCK DRIVER

(11) 63-237611 (A) (43) 4.10.1988 (19) JP
 (21) Appl. No. 62-72176 (22) 26.3.1987
 (71) TOSHIBA CORP (72) MAKOTO MONOI
 (51) Int. Cl. H03K17/16, G06F1/04, H03K5/01//G11C19/00

PURPOSE: To block an excess current which may flow from a power source through FETs by connecting a short-circuited blocking FET in series to a pair of FETs connected in series to the power source.

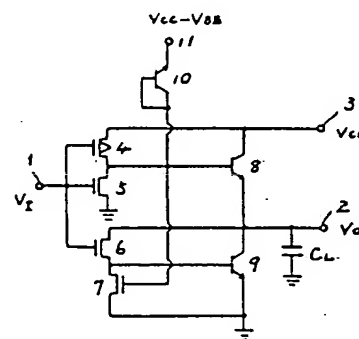
CONSTITUTION: Using the FET 12 to be connected to a low level power source V_L connected in series with the FET 13 to be connected to high level power source V_H as a base and the short-circuited blocking FET 11 is inserted between the FET 12 and the power source V_L , while the short-circuited blocking FET 14 is between the FET 13 and the power source V_H . Also, voltage inverter circuits 15, 16 are provided. Accordingly, signal in a state inverse to each other are supplied to the FETs 11, 13, hence they 11, 13 never come into a energizing state simultaneously, and the same can be said of the FETs 12, 14. As a result, the pair of power sources V_H , V_L are never short-circuited through the FETs 11~14.

**(54) BIPOLAR OUTPUT CIRCUIT**

(11) 63-237612 (A) (43) 4.10.1988 (19) JP
 (21) Appl. No. 62-70354 (22) 26.3.1987
 (71) TOSHIBA CORP (72) MASAKO OTA(1)
 (51) Int. Cl. H03K17/56, H03K17/04, H03K17/66, H03K19/08

PURPOSE: To obtain high reliability against erroneous action by adding one bipolar transistor (NPN Bi Tr) to an inverter circuit.

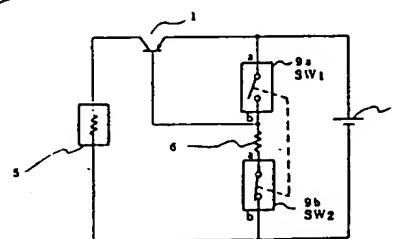
CONSTITUTION: The emitter of the NPN Tr is connected to the potential of a power supply terminal $V_{CC}-V_{BE}$, and the base and the collector of the same are connected to the base input of an NPN 8, and this NPN Tr is added to the inverter. In case the base input of the NPN 8 comes above V_{CC} , the NPN Tr 10 turns on, the base input drops, and when the base input drops down to the V_{CC} , the NPN 10 is turned off, hence the base input of the NPN 8 does not rise higher than the V_{CC} . Therefore, the NPN 8 does not operate in saturation, and the substrate potential does not vary. As a result, the erroneous action of the inverter circuit as well as the influence of said action to other transistors can be prevented.

**(54) SEMICONDUCTOR SWITCHING CIRCUIT**

(11) 63-237613 (A) (43) 4.10.1988 (19) JP
 (21) Appl. No. 62-70345 (22) 26.3.1987
 (71) TOSHIBA CORP (72) TOSHIBUMI SATO(1)
 (51) Int. Cl. H03K17/78, H01L31/12

PURPOSE: To secure sufficient dielectric strength in practical use by providing a second switching means which acts the turning on/off action inverse to the act of a first switch means.

CONSTITUTION: The first switch SW 1 is connected between the base of transistor 1 for switching and the positive electrode side of a high-voltage power source 4, and the second switch SW 2 that turns on/off inversely to the switch SW 1 is connected to the base of the transistor 1 via a current control resistor 6 and to the negative electrode side of the power source 4. Hence the second switch SW 2 is always in the state inverse to that of the first switch SW 1. Therefore, since a current flows from the emitter of the transistor 1 to its base, only the potential difference between the emitter and the base of the transistor appears across the both terminals of the switch SW 1, and it is in an extremely small value. As a result, even a photocoupler whose dielectric strength is low is sufficiently useable.



THIS PAGE BLANK (USPTO

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-237611

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開	昭和63年(1988)10月4日
H 03 K 17/16		7190-5J		
G 06 F 1/04		7157-5B		
H 03 K 5/01		7631-5J		
// G 11 C 19/00		K-7208-5B	審査請求 有	発明の数 1 (全5頁)

⑮ 発明の名称 クロックドライバー

⑯ 特 願 昭62-72176

⑰ 出 願 昭62(1987)3月26日

⑱ 発 明 者 物 井 誠 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

明 細 書

るものとして構成した、
ことを特徴とするクロックドライバー。

1. 発明の名称

クロックドライバー

2. 特許請求の範囲

電源に一对のFETを直列に接続し、それらのFETのゲート電極にそれぞれクロックパルス信号を加えて動作させ、前記一对のFETの接続中点から出力を得るようにしたクロックドライバーにおいて、

前記一对のFETに直列に接続された短絡阻止用のFETと、

その短絡阻止用のFETのゲート電極と、前記一对のFETのうち前記接続中点を挟んで前記短絡阻止用のFETと反対側に位置するFETのゲート電極と、の間に接続された制御回路とを備え、

その制御回路を、前記短絡阻止用のFETのオン・オフ状態を、前記反対側に位置するFETのオン・オフ状態と異なる状態とする信号を出力す

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、クロックドライバーに関するもので、特に、CCDの転送電極等の大容量を高速で駆動するクロックドライバーとして用いて好適なクロックドライバーに関する。

(従来の技術)

CCDの転送電極やその他のMOSゲートを駆動するクロックドライバーは、低コスト化や部品数削減等のために、CCDと同一チップ内に設けられる場合が多くなっている。

NMOSによって構成された一般的なクロックドライバーの基本的な原理を第7図を用いて簡単に説明する。同図において、1、2は互いに直列に接続されたエンハンスメント形のNチャンネルFETで、それらのFET1、2はゲート端子1a、

2aを有する。さらに、FET1の外側的一端はローレベル電源 V_L に接続され、FET2の外側的一端はハイレベル電源 V_H に接続されている。FET1, 2の接続中点Cに設けられたクロックドライバの出力端子3には、負荷容量4が接続されている。

第8図は、第7図に示された各端子における電圧の波形を示す波形図である。電圧 V_1 , V_2 はFET1, 2のゲート端子1a, 2aに印加されるクロックパルスを示す。FET1, 2はノーマリーオフであることから、これらのクロックパルスの印加により、電圧 V_1 の立上りでFET1が導通する。このFET1を通じて容量4にローレベル電源 V_L が給電する。これにより、出力端子3の電圧 V_3 はローレベルとなる。また、電圧 V_2 の立上りで、今度はFET2が導通する。このFET2を通じてハイレベル電源 V_H が容量4に給電し、電圧 V_3 はハイレベルとなる。

ここで、一般に、FET1, 2のゲート1a,

2aに加える電圧 V_1 , V_2 のパルスにおいては、互いのハイレベルの期間がオーバーラップしないようにしている。これは、FET1, 2が同時に導通すると、ハイレベル電源 V_H とローレベル電源 V_L とが短絡して、それらの電源 V_H , V_L 間にFET1, 2を通じて過剰電流が流れるからである。

(発明が解決しようとする問題点)

また、FET1, 2のゲート端子1a, 1bに加える電圧 V_1 , V_2 を、第9図に示すように、互いに反転したパルスとすることもできる。このようなパルスを作る回路は、第8図の電圧 V_1 , V_2 に示したパルスを作る回路よりも簡単になるという利点がある。

しかしながら、第9図の電圧 V_1 , V_2 に示したパルスにおいて、何らかの原因でそれらの位相が互いにずれると、電圧 V_1 , V_2 におけるハイレベルがオーバーラップする期間が生じる。

これにより、FET1, 2が同時に導通して、

一対の電源 V_H , V_L 間に過剰な電流が流れるという欠点がある。容量4が大きく、それを高速で駆動する場合には、FET1, 2のチャンネルコンダクタンスを大きくする必要がある。そのため、特に、このような場合においては、FET1, 2が同時に導通すると、非常に大きな電流が流れることになる。

そこで、本発明は、上記問題点に鑑みてなされたもので、その目的は、クロックドライバに接続される電源が導通するのを防いで、クロックドライバ自体に過剰電流が流れないようにしたクロックドライバを提供することにある。

(発明の構成)

(問題点を解決するための手段)

本発明のクロックドライバは、電源に一対のFETを直列に接続し、それらのFETのゲート電極にそれぞれクロックパルス信号を加えて動作させ、前記一対のFETの接続中点から出力を得るようにしたクロックドライバにおいて、前記一対のFETに直列に接続された短絡阻止用の

FETと、その短絡阻止用のFETのゲート電極と、前記一対のFETのうち前記接続中点を挟んで前記短絡阻止用のFETと反対側に位置するFETのゲート電極と、の間に接続された制御回路とを備え、その制御回路を、前記短絡阻止用のFETのオン・オフ状態を、前記反対側に位置するFETのオン・オフ状態と異なる状態とする信号を出力するものとして構成したことを特徴とするものである。

(作用)

ある時刻において、一対のFETのゲート電極にそれぞれクロックパルスが加えられることにより、それらの一対のFETが同時にオン状態となったとする。その一方のFETに加えられたクロックパルスは制御回路を介して短絡阻止用のFETのゲート電極にも加えられる。その制御回路から出力される信号は、前記一対のFETのうちの一方のものがオン状態にあることから、短絡阻止用のFETをオフ状態とする信号である。よって、短絡阻止用のFETはオフ状態となる。こ

れにより、前記一対のFETが導通状態にあるとしても、電源の短絡は阻止される。

(実施例)

第1図において、11~14はNチャンネルのエンハンスメント形のFETであり、それらのFET11~14は直列に接続されている。即ち、ローレベル電源 V_L に接続すべきFET12と、ハイレベル電源 V_H に接続すべきFET13とを直列に接続したものを基本とし、そのFET12とローレベル電源 V_L との間に短絡阻止用のFET11を接続し、FET13とハイレベル電源 V_H との間に短絡阻止用のFET14を接続したものである。FET11のゲート端子11aは、制御回路としての時間遅れの小さい電圧反転回路15を介して、FET13のゲート端子13aに接続されている。FET14のゲート端子14aは、上記と同様の制御回路としての電圧反転回路16を介して、FET12のゲート端子12aに接続されている。FET12、13の接続中点Cに出力端子17が設けられ、その出力端子17に

る。また、電圧 V_{11} 、 V_{13} は、電圧反転回路15の作用により互いに反転した状態にある。電圧 V_{12} 、 V_{14} も電圧反転回路16の作用により互いに反転した状態にある。

第2図において、時刻 $t_0 \sim t_1$ 間について着目すれば、FET11~14はそれぞれオフ、オン、オン、オフの状態にある。このため、容量15は一対の電源 V_H 、 V_L から切り離された状態にあり、それまでの状態であるハイレベル状態を維持する。

次に、時刻 $t_1 \sim t_2$ 間について着目すれば、FET11~14はそれぞれオン、オン、オフ、オフの状態にある。このため、容量18はFET11、12を介してローレベル電源 V_L によって給電され、出力端子17はローレベル状態に切り換わる。

次に、時刻 $t_2 \sim t_3$ 間について着目すれば、FET11~14はそれぞれオン、オフ、オフ、オン状態にある。これにより、容量18は一対の

は、一端が接地された容量18が接続されている。

上記構成のクロックドライバにおいては、FET11、13に互いに反転状態にある信号が加えられる。そのため、FET11、13が同時に導通(オン)した状態となることはなく、一方は導通し、他方は遮断(オフ)した状態にある。このことは、FET12、14についても全く同様である。従って、一対の電源 V_H 、 V_L がFET11~14を介して短絡することはない。次に、これを第1図及び第2図を参照して詳細に説明する。

第2図の電圧 V_{12} 、 V_{13} は、第1図の端子12a、13aに加えられる電圧を示す。電圧 V_{12} 、 V_{13} は互いに逆相となっており、且つ時間 T_0 だけ位相がずれている。このような位相のずれは、例えば、電圧 V_{12} の信号を反転回路により反転して電圧 V_{13} の信号を作るに際し、その反転回路に、電圧 V_{13} の信号の振幅を大きくするためにブートストラップ回路等を使った場合等に生ず

電源 V_H 、 V_L から切り離された状態となり、出力端子17はそれまでのローレベル状態を保つ。

次に時刻 $t_3 \sim t_4$ 間について着目すれば、FET11~14はそれぞれオフ、オフ、オン、オンの状態にある。これにより、容量18はFET13、14を介してハイレベル電源 V_H によって給電され、出力端子17はハイレベル状態に切り換わる。

時刻 t_4 以後は、上記と同様の動作を繰り返す。

第3図は、本発明の第2実施例を示す。

この第2実施例は、第1図の第1実施例からFET14及び電圧反転回路16を省略したものである。第2実施例のクロックドライバも、第1実施例のクロックドライバとほぼ同様に動作する。この動作は、第4図のタイムチャートに示される。

これらの第1及び第2実施例のクロックドライバによれば、電圧 V_{12} 、 V_{13} のバース間位相おくれがあっても、出力端子17における電圧

V₁₇のデューティーがアンバランスになるのを確実に防ぐことができる。

第5図は、本発明の第3実施例を示す。

この第3実施例は、第1図の第1実施例からFET11および電圧反転回路15を省略したものである。第3実施例のクロックドライバも、第1及び第2実施例のクロックドライバとほぼ同様に動作する。この動作は、第6図のタイムチャートに示される。このタイムチャートから明らかなように、出力端子17での電圧 V_{17} は実線のようになり、破線のようになる第2図及び第4図の場合とは異なる波形を示す。

上述の本発明の各実施例によれば、FET 12、13に加えるパルスが共にハイレベルとなる期間があっても、一対の電源 V_H 、 V_L 間に過剰電流が流れるのを防ぐことができる。そのため、前記2つのパルスの波形条件が緩和される。このような過剰電流の防止は、大容量を高速駆動するために、FETのチャンネルコンダクタンスを大きくしてある場合等に特に有効である。

13…FET、14…短絡用のFET、11a、
12a、13a、14a…ゲート端子、15、
16…電圧反転回路、17…出力端子、18…容
量、C…接続中点。

出願人代理人 佐 藤 一 雄

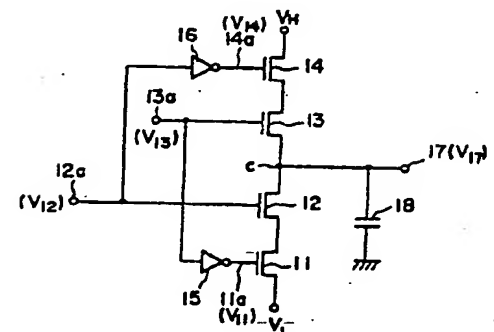
〔発明の効果〕

本発明によれば、電源に直列に接続される一対のFETに、さらに直列に短絡阻止用のFETを接続し、それらのFETの全てが同時にオン状態とならないようにしたので、電源がそれらのFETを介して短絡するのを防いで、電源からFETを通じて過剰電流が流れるのを阻止することができる。

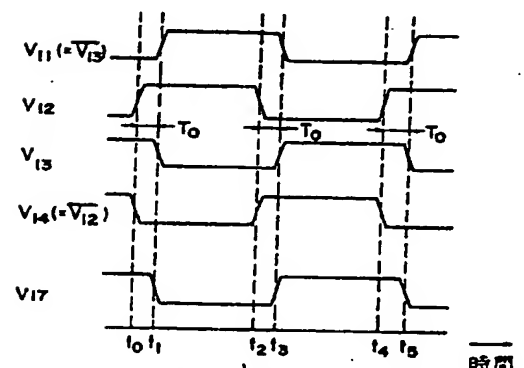
4. 図面の簡単な説明

第1図は本発明の第1実施例の回路構成図、第2図はその動作を説明するためのタイムチャート、第3図は本発明の第2実施例の回路構成図、第4図はその動作を説明するためのタイムチャート、第5図は本発明の第3実施例の回路構成図、第6図はその動作を説明するためのタイムチャート、第7図は従来例の回路構成図、第8図及び第9図はそれぞれその動作を説明するためのタイムチャートである。

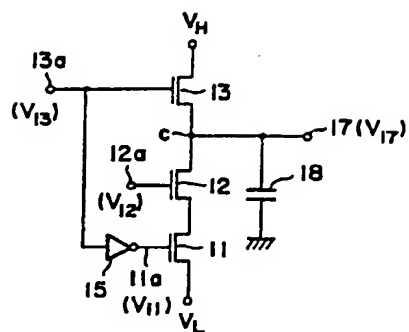
11...短絡阻止用のFET、12...FET、



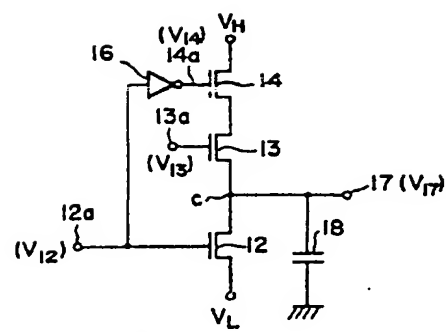
第 1 圖



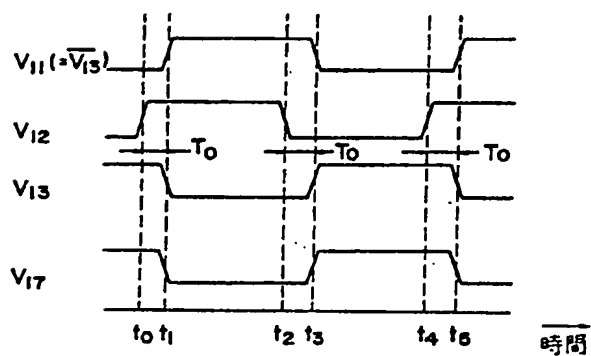
第 2 圖



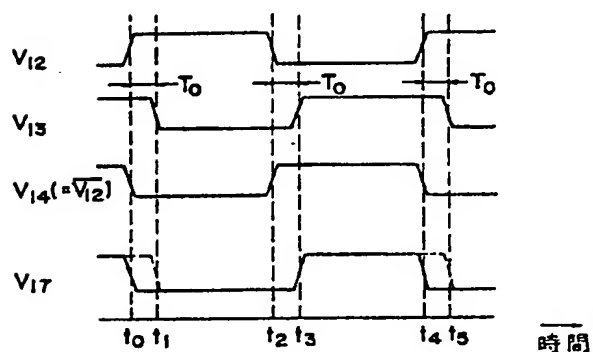
第 3 図



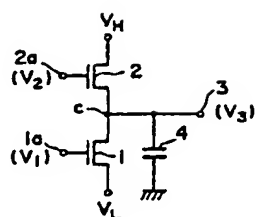
第 5 図



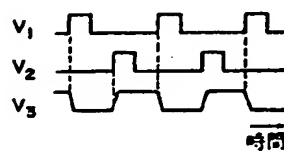
第 4 図



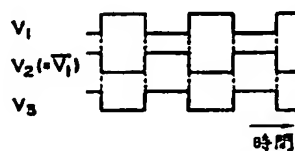
第 6 図



第 7 図

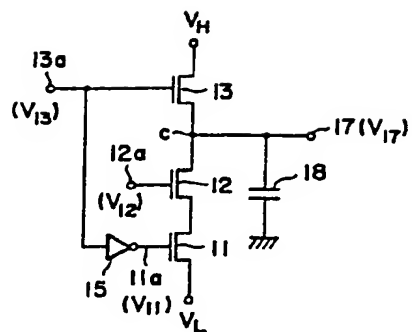


第 8 図

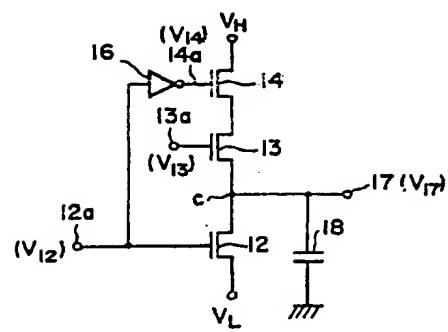


第 9 図

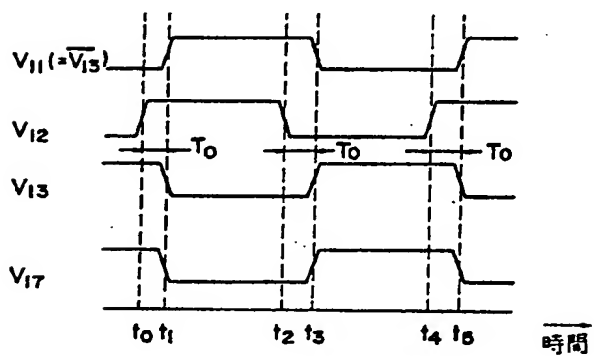
THIS PAGE BLANK (USPTO)



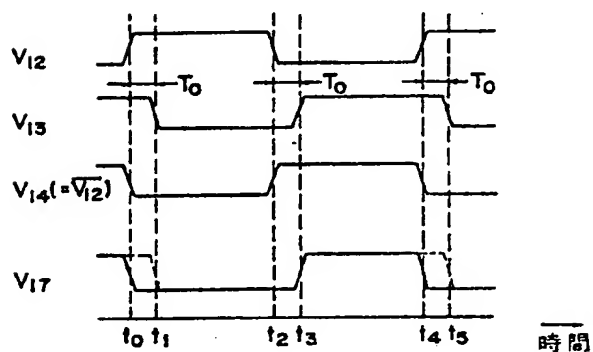
第 3 図



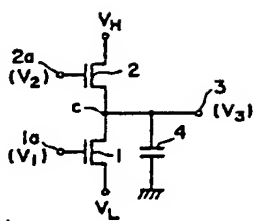
第 5 図



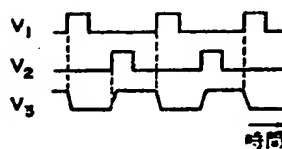
第 4 図



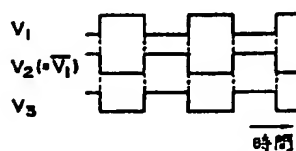
第 6 図



第 7 図



第 8 図



第 9 図

THIS PAGE BLANK (USPTO)